

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-010780

(43)Date of publication of application : 19.01.1985

(51)Int.Cl.

H01L 29/78

(21)Application number : 58-119277

(71)Applicant : FUJITSU LTD

(22)Date of filing : 30.06.1983

(72)Inventor : SHIRATO TAKEHIDE

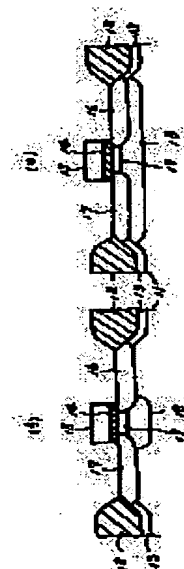
INABA TORU

SHIRAI KAZUNARI

J1011 U.S. PTO  
10/055722  
01/23/02**(54) MANUFACTURE OF SEMICONDUCTOR DEVICE****(57)Abstract:**

**PURPOSE:** To form a short channel MIS transistor, which has desired threshold voltage, and withstand voltage between a source and a drain thereof is high, extremely easily by combining the ion implantation of high acceleration energy and the ion implantation of low acceleration energy.

**CONSTITUTION:** A mask is formed on the surface of a P- type silicon substrate 11 and a P type impurity is deposited, field oxide films 12 and P+ type channel- cut regions 13 in the lower sections of the oxide films are formed, and the mask is removed and gate oxide films 14 are shaped through slight thermal oxidation. On structure (a), the mask (a Mi mask) with a window slightly wider than a gate section is formed on the gate oxide film 14, and a first impurity introducing region 18 and a second impurity introducing region 19 are formed. A Mi mask is unnecessary in structure (b). Gate electrode materials are applied, gate electrodes 15 are shaped through the patterning of the gate electrode materials, an N type impurity is introduced through ion implantation while using the gate electrodes 15 as masks, and N+ type source and drain regions 16, 17 are formed through annealing treatment.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑬ 日本国特許庁 (JP)  
⑭ 公開特許公報 (A)

⑮ 特許出願公開

昭60—10780

⑯ Int. Cl.<sup>4</sup>  
H 01 L 29/78

識別記号

庁内整理番号  
7377—5F

⑰ 公開 昭和60年(1985)1月19日

発明の数 1  
審査請求 未請求

(全 5 頁)

⑱ 半導体装置の製造方法

⑲ 特 願 昭58—119277  
⑳ 出 願 昭58(1983)6月30日  
㉑ 発 明 者 白土猛英  
川崎市中原区上小田中1015番地  
富士通株式会社内  
㉒ 発 明 者 稲葉透

川崎市中原区上小田中1015番地  
富士通株式会社内  
㉓ 発 明 者 白井一成  
川崎市中原区上小田中1015番地  
富士通株式会社内  
㉔ 出 願 人 富士通株式会社  
川崎市中原区上小田中1015番地  
㉕ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

一導電型半導体基板上にMISトランジスタを形成するに際して、イオン注入法を用いて少なくともゲート電極が配設される領域直下の半導体基板に、該半導体基板と同導電型を有し且つソースドレイン領域よりも深い第1の不純物導入領域を形成し、該第1の不純物導入領域の表面近傍にイオン注入法を用いて閾値電圧を所望の値にするような第2の不純物導入領域を形成する工程を有することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(a) 発明の技術分野

本発明は半導体装置の製造方法に係り、特にソース、ドレイン間の耐圧劣化を防止したショートチャネルMIS型(以下では代表的なMOS型で説明する)電界効果トランジスタの製造方法に関する。

(b) 従来技術と問題点

従来MOSトランジスタを形成する際には、低不純物濃度の半導体基板を用い、該半導体基板と同導電型の不純物をその表面近傍にイオン注入することによって最低ゲート電圧(閾値電圧)を制御する方法が多く採用される。

第1図はこれを不純物濃度プロファイルで示したもので、同図中 $L_1$ はシリコン半導体基板表面、 $L_2$ は該基板面上の二酸化シリコン( $SiO_2$ )膜の表面を示し、 $C$ は不純物濃度分布曲線である。そして $L_2$ はグラフの縦軸を兼ねており且つ不純物濃度を表わしており、横軸は表面からの深さを表わしている。一般にこの閾値制御のための不純物イオン打込みの加速電圧は、不純物濃度分布曲線 $C$ のピーク $R_p$ が基板表面直下つまりチャネルが形成される部分にくるように選定され、そして該ピーク値が閾値電圧を所望の値にする濃度になるように不純物の打込み量が選択される。

第2図はかかる処理を受けたMOSトランジスタを示し、1はシリコン半導体基板、2は基板表

面のフィールド酸化膜、3はゲート酸化膜、4はゲート電極、5、6はソース、ドレイン領域、7はチャネル・カット領域、そして8が上記イオン注入により形成された、基板と同導電型で且つ不純物濃度が調整された(高くされた)領域で、チャネルが形成される領域である。各部の導電型は基板がp型ならば図示の通りである。なお、 $\phi$ は濃度の大小を示すが、例えば8は基板より濃度が高いなど相対的なものである。

チャネル長が比較的大きい、即ち数値例で言えばp型20( $\Omega\text{-cm}$ )基板を使用しチャネル長が3( $\mu\text{m}$ )以上である場合は、従来方法でトランジスタを形成してもソース、ドレイン間でパンチスルーを起す(接合耐圧が劣化する)という問題は考えなくてよいが、これよりショートチャネルになるとこの問題が無視できなくなってくる。

そこでショートチャネルのMOSトランジスタに於ては、この問題を除去するために従来、高不純物濃度基板を使用する、あるいは基板と同導電型の不純物の高温ランニングにより形成されたウ

- 3 -

を用いて少なくともゲート電極が配設される領域直下の半導体基板に、該半導体基板と同導電型を有し且つソース、ドレイン領域よりも深い第1の不純物導入領域を形成し、該第1の不純物導入領域の表面近傍にイオン注入法を用いて閾値電圧を所望の値にするような第2の不純物導入領域を形成する工程を有することを特徴とする。

#### (e) 発明の実施例

以下本発明を、第3図に示す本発明の一実施例に於ける基板の不純物濃度プロファイル図、第4図に示す本発明の他の一実施例に於ける基板の不純物濃度プロファイル図、第5図に示す本発明の方法を用いて形成したMOSトランジスタの一構造例の模式断面図(イ)及び他の一構造例の模式断面図(ロ)を用いて説明する。

本発明は低不純物濃度基板を使用し、基板と同導電型不純物を高加速エネルギーでイオン注入することにより、少なくともゲート電極直下部の基板にソース・ドレイン領域より深い基板より高濃度の第1の不純物導入領域を形成し、これによっ

セル領域を使用する等の方法が用いられている。しかし前者の高不純物濃度基板を用いる方法に於ては、該基板に形成される絶縁のMOSトランジスタのソース、ドレイン接合容量が増大し、動作速度が遅くなる等の問題を生じる。又後者は基板には低不純物濃度の基板を用い、ショートチャネルMOSトランジスタが形成される部分の不純物濃度を選択的に不純物の熱拡散により高めるものであるが、熱拡散(高温ランニング)には1200( $^{\circ}\text{C}$ )などの高温を要し炉の寿命が短くなる(炉のもちが悪くなる)という問題を生じていた。

#### (c) 発明の目的

本発明は、上記問題点に鑑み、低い接合容量でしかもパンチスルーの防止がなされ、且つ所望の閾値電圧を有するショートチャネルMOSトランジスタを、余分な高温拡散処理を行わずに容易に製造する方法を提供するものである。

#### (d) 発明の構成

即ち本発明は一導電型半導体基板上にMISトランジスタを製造する方法に於て、イオン注入法

- 4 -

でパンチスルー現象によるソース、ドレイン間耐圧の劣化を防止し、次いで少なくともゲート電極直下部の基板表面近傍へ低加速エネルギーで第2の不純物をイオン注入することにより、前者との総和として表面近傍の不純物濃度を制御し、これによって閾値電圧を自由に制御するものである。

第1の実施例は、高加速エネルギーによる第1のイオン注入を行った後、基板の表面近傍領域に低加速エネルギーで行う第2のイオン注入に、第1のイオン注入と同導電型の不純物を使用し、前記第1のイオン注入によって与えられる基板表面近傍の第1導電型不純物濃度を更に高め、これによって所望の閾値電圧を得る場合で、第3図はこの場合の基板の不純物濃度プロファイルを示したものである。同図に於てC<sub>1</sub>は上記第1のイオン注入による基板と同導電型不純物の濃度分布曲線で、該曲線C<sub>1</sub>のピークR<sub>p1</sub>は図示のように基板表面L<sub>1</sub>から内部に入った所で、且つ例えばソース、ドレイン領域(図示せず)の底部より浅い所にあり、該イオン打込み領域の底部はソース、ド

レイン領域の底部より深い所にあるようにする。又C<sub>1</sub>は第2のイオン注入による基板と同導電型不純物の濃度分布曲線で、該曲線C<sub>1</sub>のピークR<sub>p1</sub>は図示のように基板表面L<sub>1</sub>近傍のチャネルが形成される領域にあるようにする。又C<sub>0</sub>は上記第1、第2のイオン注入の飽和によって形成された一導電型不純物の濃度曲線で、閾値電圧は該曲線C<sub>0</sub>の基板表面L<sub>1</sub>近傍の一導電型不純物濃度Aによって決められる。(図中L<sub>1</sub>は基板面上のSiO<sub>2</sub>膜面を示す)

第2の実施例は基板と同導電型の不純物を用い高加速エネルギーによる第1のイオン注入を行った後、基板の表面近傍領域に低加速エネルギーで行う第2のイオン注入に、第1のイオン注入と逆の導電型の不純物を使用し、第1のイオン注入によって与えられる基板表面近傍の第1導電型不純物の一部を該逆導電型不純物でコンベンセートすることにより該領域の一導電型不純物濃度を低めこれによって所望の閾値電圧を得る場合で、第4図はこの場合の基板の不純物濃度プロファイルを

- 7 -

近傍に形成された第2のp型領域を示す。即ち第5図(イ)に示す構造に於ては第1のイオン注入による第1のp型領域18がゲート電極15直下のチャネル部及びその周囲のみに形成され、第5図(ロ)に示す構造に於ては活性領域つまりトランジスタを形成する領域全体に形成される。従ってソース、ドレインの接合容量を減少せしめ動作速度を向上せしめるうえでは第5図(イ)の構造の方が有利である。

次に第5図(イ)及び(ロ)を参照して製造工程の概略を述べると、p<sup>-</sup>型シリコン基板11表面にマスク(図示せず)を形成してチャネル・カット領域13形成のためのp型不純物をデポジットしたのち、選択熱酸化法によりフィールド酸化膜12及びその下部のp<sup>+</sup>型チャネル・カット領域13を形成し、マスクを除いて軽く熱酸化してゲート酸化膜14を形成し、(イ)の構造の場合該ゲート酸化膜14上にゲート部よりやや広い窓を持つマスク(M1マスクと称す、図示せず)を形成しp型不純物例えばほう素(B<sup>+</sup>)を用いる

示したものである。尚図に於てC<sub>1</sub>は第1のイオン注入によって前記実施例同様の深さにピークR<sub>p1</sub>を持つように形成された一導電型不純物の濃度分布曲線で、dは第2のイオン注入により基板表面L<sub>1</sub>近傍にピークR<sub>p2</sub>を持つように形成された逆導電型不純物の濃度分布曲線、C<sub>0</sub>は上記第1、第2のイオン注入の飽和(この場合コンベンセート)によって形成された一導電型不純物の濃度曲線で、閾値電圧は該曲線C<sub>0</sub>の基板表面L<sub>1</sub>近傍の一導電型不純物濃度Bによって決められる。(図中L<sub>1</sub>は基板面上のSiO<sub>2</sub>膜面を示す)

第5図(イ)及び(ロ)は本発明の方法を用いて形成したMOSトランジスタの異なる構造例を示したもので、これらの図に於て11はp<sup>-</sup>型シリコン基板、12はフィールド酸化膜、13はp<sup>+</sup>型チャネル・カット領域、14はゲート酸化膜、15はゲート電極、16、17はn<sup>+</sup>型ソース、ドレイン領域、18は第1のイオン注入によりp型領域、19は第2のイオン注入により基板表面

- 8 -

第1のイオン注入を行い第1の不純物導入領域18を形成し、次いでp型不純物B<sup>+</sup>又はひ素(As<sup>+</sup>)りん(P<sup>+</sup>)等のn型不純物を用いる第2のイオン注入を行い第2の不純物導入領域19を形成する。ここで(ロ)の構造に於ては上記M1マスクは不要である。しかし集積回路の場合は同一基板上の他のトランジスタがショートチャネルでなく、不純物導入領域18及び19が不要の場合は当該トランジスタの活性領域をマスクする必要があるので、かかる意味での粗精度のイオン注入マスクは用いる。不純物導入領域18及び19を形成したならば次いでゲート電極材料の被着、そのパターンニングによるゲート電極15の形成、該ゲート電極15をマスクにして例えばイオン注入によりn型不純物(例えばAs<sup>+</sup>)を導入し、アニール処理を施してn<sup>+</sup>型ソース、ドレイン領域16、17を形成する。なお該アニール処理により前記第1の不純物導入領域及び第2の不純物導入領域は活性化され第1のp型領域18及び第2のp型領域19となる。

上記製造工程に於ける一数值例を挙げると、基板濃度  $6.5 \times 10^{16} [\text{atm}/\text{cm}^3]$  を用い、ドーズ量  $5 \times 10^{11} [\text{atm}/\text{cm}^2]$ 、注入エネルギー  $60 [\text{KeV}]$  で硼素 ( $\text{B}^+$ ) のイオン注入を行って第1のp型領域18を形成し、更にドーズ量  $1.5 \times 10^{11} [\text{atm}/\text{cm}^2]$ 、加速エネルギー  $30 [\text{KeV}]$  で  $\text{B}^+$  のイオン注入を行って第2のp型領域19を形成し、ソース、ドレインの深さ  $0.3 [\mu\text{m}]$ 、チャネル長  $2.0 [\mu\text{m}]$ 、ゲート酸化膜14の厚さ  $350 [\text{\AA}]$  に於て、閾値電圧は  $0.65 [\text{V}]$ 、ソース、ドレイン間耐圧は  $15 [\text{V}]$  である。

#### (f) 発明の効果

以上説明したように本発明によれば、高加速エネルギーのイオン注入と低加速エネルギーのイオン注入の組合せにより、パナチスルーを起す半導体基板内部の不純物濃度と、閾値電圧を決める半導体基板表面近傍の不純物濃度を自由に制御することができる。又上記イオン注入領域の活性化はソース、ドレイン領域形成時の熱処理により同時

になされるので余分な高温熱処理を要しない。

従って本発明によれば、極めて容易に、所望の閾値電圧を有し且つソース、ドレイン間耐圧の高いショートチャネルMISトランジスタが形成できる。

なお本発明はnチャネルMISトランジスタに限らず、pチャネルMISトランジスタにも適用される。

#### 4. 図面の簡単な説明

第1図は従来法による閾値電圧調整説明用の不純物濃度プロファイル図、第2図は第1図の方法で作られたMOSトランジスタの構造を示す断面図、第3図及び第4図は本発明の方法の異なる実施例に於けるイオン打込み説明用の不純物濃度プロファイル図、第5図(イ)及(ロ)は本発明の方法を用いて形成したMOSトランジスタの異なる構造例を示す模式断面図である。

図に於て、 $L_1$  は基板の表面、 $L_2$  は基板表面上に形成された薄い酸化膜の表面、 $C_1$ 、 $C_2$ 、 $d$  はイオン注入された不純物の濃度分布曲線、 $C_0$ 、

- 11 -

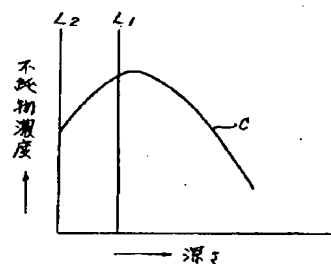
$C_d$  は第1、第2のイオン注入の総和によって形成された濃度分布曲線、11はp型シリコン基板、14はゲート酸化膜、15はゲート電極、16、17はn+型ソース、ドレイン領域、18は第1のp型領域、19は第2のp型領域を示す。

代理人 弁理士 松岡宏四郎

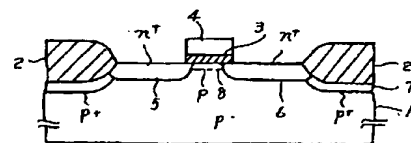


- 12 -

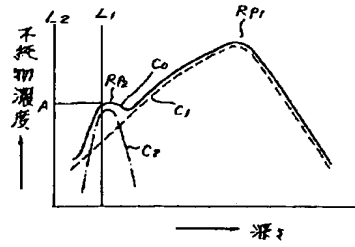
第1図



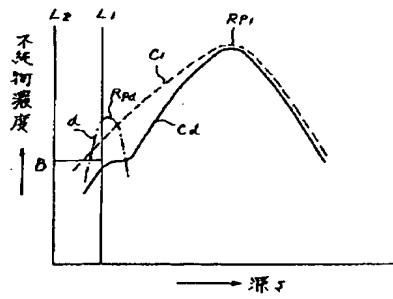
第2図



第3圖



第4圖



第5圖

